

**WEST****End of Result Set**☐ **Generate Collection**

L3: Entry 1 of 1

File: JPAB

Mar 6, 1991

PUB-NO: JP403052254A

DOCUMENT-IDENTIFIER: JP\_03052254\_A

TITLE: MOS TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: March 6, 1991

## INVENTOR-INFORMATION:

NAME

COUNTRY

MATSUNOU, TADASHI

SHIBATA, HIDEKI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP01188301

APPL-DATE: July 20, 1989

INT-CL (IPC): H01L 21/82; H01L 21/3205

## ABSTRACT:

PURPOSE: To eliminate decrease in fraction defective relief by composing the gate electrode of a MOS type transistor of a laminated layer structure of a polycrystalline silicon layer and a high melting point metal silicide layer, and composing a fuse element only of a polycrystalline silicon layer.

CONSTITUTION: A polycrystalline silicon layer 15 is deposited and a high melting point metal silicide is deposited on the layer 15 as a wiring material of a gate electrode and a redundancy circuit fuse for forming a MOSFET on a semiconductor substrate 11. Thereafter, interlayer insulating films 20, 21 are deposited, the wirings are patterned, only the fuse is then opened, only a high melting point metal silicide layer 16 is selectively etched to expose the layer 15 on an uppermost layer, and a fuse wiring layer made only of the layer 15 is formed. Thus, an easily melting fuse can be formed while the gate electrode of the MOSFET remains reduced in its resistance, thereby improving the fraction relief of an improper cell.

COPYRIGHT: (C)1991, JPO&amp;Japio

**BEST AVAILABLE COPY**

11/1/01 10:23 AM

⑫ 公開特許公報(A) 平3-52254

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月6日

H 01 L 21/82  
21/3205

8225-5F H 01 L 21/82  
6810-5F 21/88

R  
Z

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 MOS型半導体装置およびその製造方法

⑯ 特 願 平1-188301

⑰ 出 願 平1(1989)7月20日

⑱ 発 明 者 松 能 正 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑲ 発 明 者 柴 田 英 毅 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

MOS型半導体装置およびその製造方法

2. 特許請求の範囲

(1) 不良救済用の冗長機能を有し、この冗長機能を使用する際に切断されるヒューズ素子をMOS型トランジスタと共に同一半導体基板上に構成するMOS型半導体装置において、

前記MOS型トランジスタのゲート電極を多結晶シリコン層及び高融点金属シリサイド層の積層構造で構成し、

前記ヒューズ素子を多結晶シリコン層のみで構成すること

を特徴とする半導体装置。

(2) 不良救済用の冗長機能を有し、この冗長機能を使用する際に切断されるヒューズ素子をMOS型トランジスタと共に同一半導体基板上に構成するMOS型半導体装置の製造方法において、

半導体基板上に多結晶シリコン層を堆積する工程と、

前記多結晶シリコン層上に高融点金属シリサイド層を堆積する工程と、

前記多結晶シリコン層及び高融点金属シリサイド層からなる積層構造をパターンニングしてMOS型トランジスタのゲート電極及びヒューズ素子を形成する工程と、

前記ヒューズ素子を構成する前記積層構造の高融点金属シリサイド層を除去する工程と

を具備したことを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は不良救済用の冗長機能を有するMOS型半導体装置に関し、製造後に切断することで冗長機能を使用可能にするための制御信号が発生されるように構成されたヒューズ素子を含むMOS型半導体装置およびその製造方法に関する。

(従来の技術)

半導体装置には不良救済のために冗長機能が

付加されているものがあり、この冗長機能を構成する回路は一般にリダンダンシー回路と称されている。例えば半導体メモリでは、不良メモリセルが発見された場合、良品のメモリセルと置換えができるリダンダンシー回路が内蔵されている。このようなリダンダンシー回路では、数行のリダンダンシー用のメモリセル配列がメモリマトリクス内に設けられており、一般にヒューズと称される配線部分をレーザービーム等を用いて切断することにより、不良メモリセルを含むメモリセル配列をリダンダンシー用のメモリセル配列と置き換えるための信号が生成され、不良メモリセルの回路部分が救済されるようになっている。

ここで、MOS型メモリにおける従来のリダンダンシー回路の製造方法を第4図の断面図により説明する。図において左側のAの領域がMOSFET形成領域、右側のBの領域がヒューズ形成領域を示す。

N型半導体基板31上にP型の半導体層(P-ウェル)32を形成し、素子分離絶縁膜33を形成する。

かしながら、ヒューズにポリサイド構造配線を用いると、多結晶シリコンのみの場合より不良救済の成功率が低下するという問題がある。その理由は高融点金属シリサイド層が多結晶シリコンに比べてレーザービーム・エネルギーを反射し易く、ヒューズが容易に溶解しなくなるからである。

(発明が解決しようとする課題)

このように従来では、ヒューズにポリサイド構造配線を用いると、レーザービームによりこのヒューズを切断する場合、高融点金属シリサイド層が多結晶シリコンに比べてレーザービーム・エネルギーを反射し易く、容易に溶解しなくなるので、多結晶シリコンのみの場合より不良救済の成功率が低下するという問題がある。

この発明は上記のような事情を考慮してなされたものであり、その目的は、MOSFETのゲート電極にポリサイド構造配線を用いた場合でも、不良救済率の低下しないリダンダンシー回路用のヒューズを有するMOS型半導体装置及びその製造方法を提供することにある。

次に、ゲート酸化膜34を形成後、MOSFETのゲート電極を多結晶シリコン35により形成するが、それと同時にリダンダンシー回路のヒューズとして用いる多結晶シリコン35もヒューズ形成領域Bに堆積される。次に、層間絶縁膜36及び37を堆積した後、コンタクトホール38を異方性エッチングにより開口し、全面に配線材料をスパッタ堆積し、これをパターニングして配線39を形成する。その後、レーザービーム照射用の窓40を異方性エッチングにより開口し、前面に絶縁膜41を堆積する。

このように、リダンダンシー回路のヒューズは、一般にMOSFET形成工程におけるゲート電極配線と同一工程で形成される。そして、最近ではこのゲート電極配線は低抵抗化対策により、高融点金属ケイ化層(高融点金属シリサイド)と多結晶シリコンによる多層構造、いわゆるポリサイド構造配線が用いられることが多くなっている。

そこで、リダンダンシー回路のヒューズも当然ポリサイド構造配線が用いられることになる。し

[発明の構成]

(課題を解決するための手段)

この発明のMOS型半導体装置は、MOS型トランジスタのゲート電極を多結晶シリコン層及び高融点金属シリサイド層の積層構造で構成し、前記ヒューズ素子が多結晶シリコン層のみで構成される。

不良救済用の冗長機能を有し、この冗長機能を使用する際に切断されるヒューズ素子をMOS型トランジスタと共に同一半導体基板上に構成するMOS型半導体装置の製造方法において、半導体基板上に多結晶シリコン層を堆積する工程と、前記多結晶シリコン層上に高融点金属シリサイド層を堆積する工程と、前記多結晶シリコン層及び高融点金属シリサイド層からなる積層構造をパターニングしてMOS型トランジスタのゲート電極及びヒューズ素子を形成する工程と、前記ヒューズ素子を構成する前記積層構造の高融点金属シリサイド層を除去する工程とから構成される。

程度増積後、ヒューズ形成領域Bの高融点金属シリサイド層16のみを異方性エッチング技術を用いて選択的に除去するようにしてもよい。その後は第1図の実施例の方法と同様に層間絶縁膜21を全面に堆積し、コンタクトホール22を異方性エッチングにより開口し、全面にAl-Cu-Si合金配線材料をスパッタ堆積し、これをパターニングして配線23を形成する。その後、層間絶縁膜20、21に対し異方性エッチングによりレーザービーム照射用の窓24を開口し、全面に絶縁膜25を堆積する。

第3図(a)及び(b)は他の実施例方法を示すものであり、この発明を二重ポリサイドゲート構造のMOS型メモリの製造方法に実施した場合の製造工程を順次示す断面図である。図において、左側の領域AがMOSFET形成領域、右側の領域Bがヒューズ形成領域を示す。

まず、前記第1図の実施例方法と同様にMOSFETゲート電極及びリダングンシー回路のヒューズとして用いる第1層目の多結晶シリ

コン15-1及びモリブデンシリサイド16-1を順次堆積し、その後、ヒューズ形成領域Bにおいて露出している高融点金属シリサイド層16-1のみを選択的にエッチング除去する。その後、さらに第2層目の多結晶シリコン15-2及びモリブデンシリサイド16-2を順次堆積する。この後、前記と同様の方法により、ヒューズ形成領域B側の高融点金属シリサイド層16-2のみを選択的にエッチング除去する(第3図(a))。

次に、層間絶縁膜20及び21を全面に堆積し、コンタクトホール22を異方性エッチングにより開口し、全面にAl-Cu-Si合金配線材料をスパッタ堆積し、これをパターニングして配線23を形成する。その後、層間絶縁膜20、21に対し異方性エッチングによりレーザービーム照射用の窓24を開口し、全面に絶縁膜25を堆積する。(第3図(b))。

このようにしてヒューズ用形成領域B側で高融点金属シリサイド層のみを選択的に除去することができ、前記第1図の実施例と同様に

MOSFETのゲート電極は低抵抗化したままで容易に切断しやすいヒューズを形成することができる。この結果、不良のセルの救済効率を高めることができる。

#### 【発明の効果】

以上説明したようにこの発明によれば、MOSFETのゲート電極にポリサイド構造配線を用いた場合でも、不良救済率の低下しないリダングンシー回路用のヒューズを有するMOS型半導体装置及びその製造方法が提供できる。

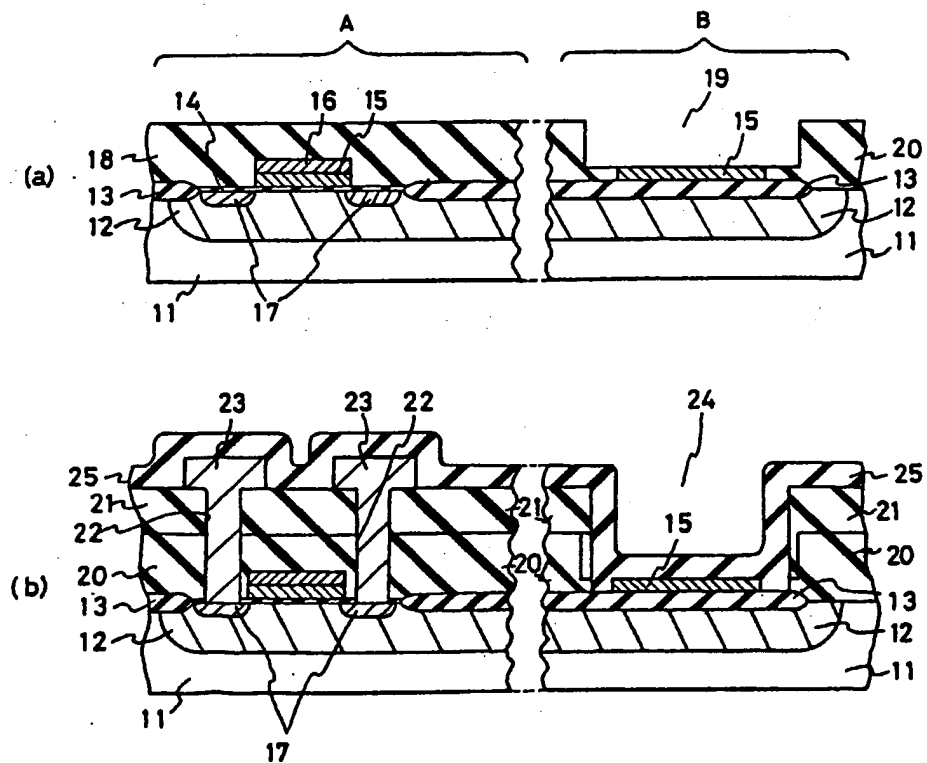
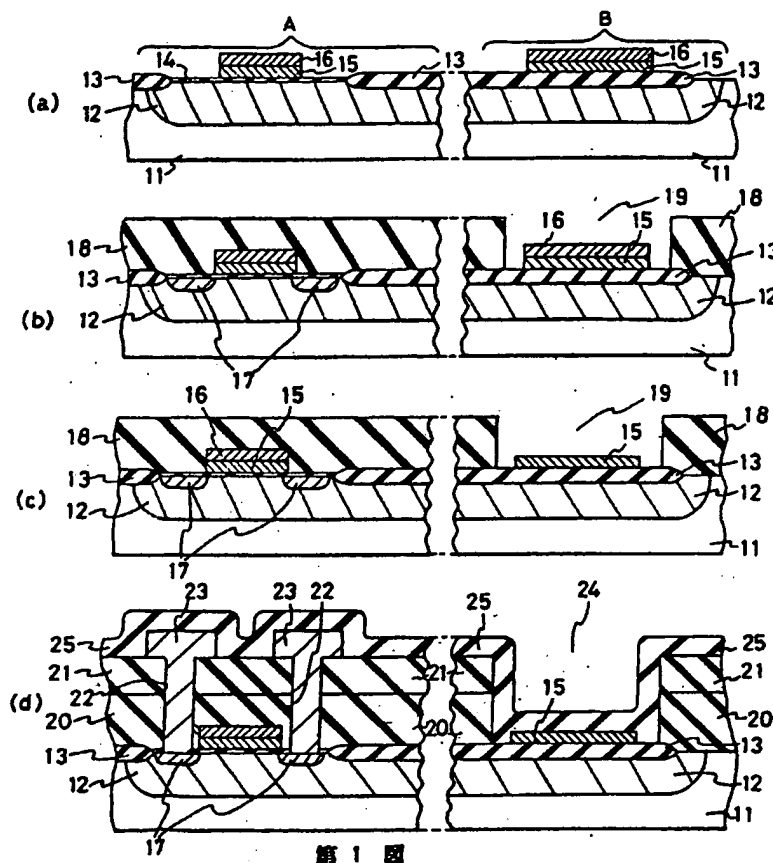
#### 4. 図面の簡単な説明

第1図(a)ないし(d)はこの発明の一実施例方法によるMOS型半導体装置の製造方法を工程順に示す断面図、第2図(a)及び(b)は第1図の実施例方法の変形例を工程順に示す断面図、第3図(a)及び(b)はこの発明の他の実施例方法による半導体装置の製造方法を工程順に示す断面図、第4図は従来のリダングンシー回路の製造方法を説明するための断面図である。

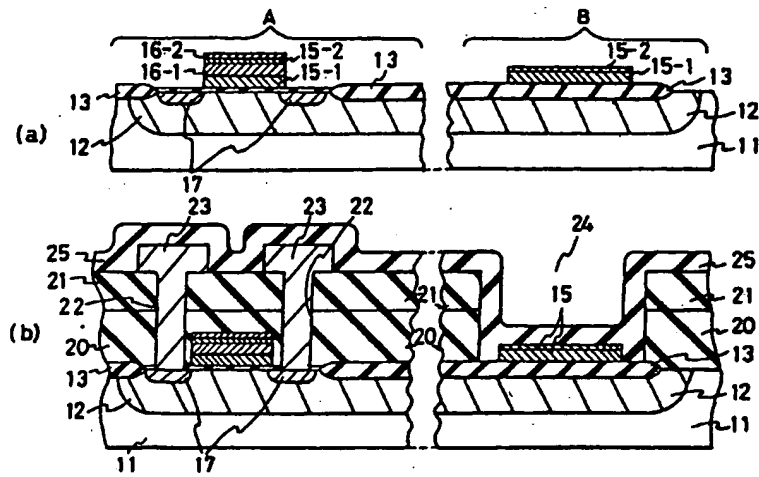
11…N型半導体基板、12…Pウェル領域、13…

素子分離絶縁膜、14…ゲート酸化膜、15-1、15-2…多結晶シリコン、16-1、16-2…高融点金属シリサイド、17…ソース・ドレイン領域、18…フォトリジスト、19…開口領域、20、21…層間絶縁膜、22…コンタクト、23…配線、24…切断レーザー用の窓、25…絶縁膜。

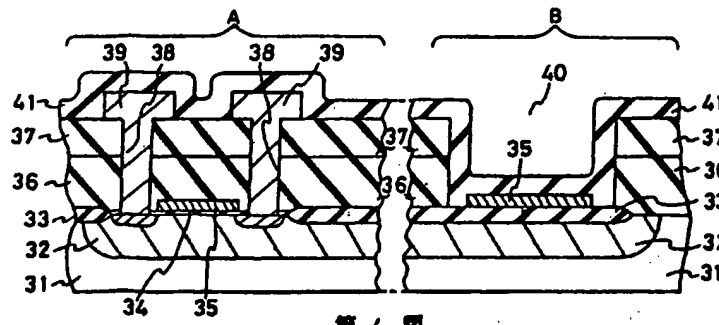
出願人代理人 弁理士 鈴江武彦



第 2 図



第 3 図



第 4 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**